

## ***Vom unbekanntem Wesen zum anerkanntem Berufsbild Der Weg der Leiterplattendesigner zu ihrem ersten deutschen Wissenszertifikat***

### ***Die Leiterplatte, ein vielfältiger Funktionsträger - realistische AVT***

Die Leiterplatte erfüllt mehrere Funktionen. Zum einen dient sie als Träger für die verschiedenen Bauelemente einer elektrischen Schaltung. Zum anderen werden in einem aufwändigen Prozess die elektrischen Verbindungen (Leiter) zwischen den verschiedenen Bauelementen ausgeführt. Zusätzlich werden auch mechanische Funktionen berücksichtigt. Die Verwendung immer kleinerer und schnellerer Bauelemente mit immer mehr Anschlüssen erhöht die Ansprüche an heutige Leiterplatten. Wie auch bei den integrierten Schaltungen ist bei den Leiterplatten ein Trend in Richtung Miniaturisierung und zunehmender Komplexität zu verzeichnen.

Die Realisierung der Funktion einer elektronischen Baugruppe ist mit den Ideen, der Schaltungsentwicklung und den passenden Bauelementen längst nicht getan. Die Schaltung muss real, also körperlich aufgebaut werden. Die Leiterplatte ermöglicht dieses fertigungstechnisch überhaupt erst. Dabei ist die Wahl der richtigen Aufbau- und Verbindungstechnik (AVT) von großer Bedeutung für Funktionalität, Herstellungskosten, Qualität und Betriebssicherheit.

### ***Die Unbekannten***

Wer sind nun diese Menschen, die das erledigen und was machen sie genau? Sie haben bis heute keine einheitliche Berufsbezeichnung, werden Hardwareentwickler, Leiterplattenentwickler oder – Konstrukteure, Entflechter etc. genannt. Der FED, der sich bemüht, diese Situation zu ändern, nennt sie Leiterplattendesigner und entwickelt mit seinem Schulungskonzept auch ein Berufsbild für sie.

Da es bisher keine direkte Ausbildung für sie gibt, kommen sie aus allen Bereichen der elektromechanischen Berufs-, Techniker- und Fachhochschulausbildung und bildeten sich mehr oder weniger autodidaktisch weiter.

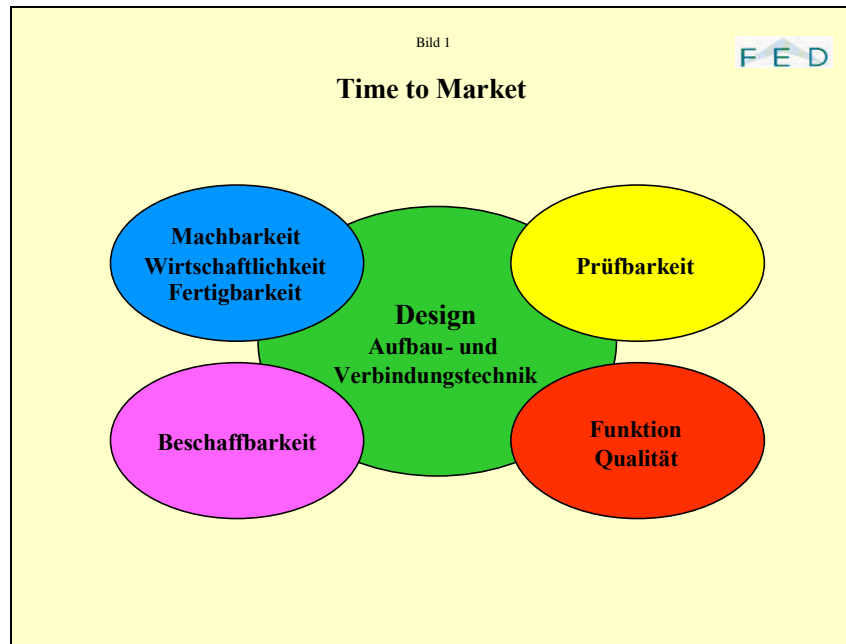
### ***Was ist Leiterplattendesign - eine Querschnittstechnologie?***

Das Leiterplattendesign (LP-Konstruktion) erfolgt unter Berücksichtigung elektrischer und physikalischer Voraussetzungen nach den Vorgaben der Schaltungsentwicklung und unter Berücksichtigung der Erfordernisse für die nachfolgende Leiterplattenherstellung und Baugruppenproduktion. Allgemein ist unter Entflechtung die Umsetzung des Logikplanes einer elektrischen Schaltung in die Vorgaben für die Leiterbilder zu verstehen. Dabei werden Daten für die Leiterplattenherstellung, für Bestückung, Test, Qualitätsmanagement und Logistik erzeugt. Das ist kurz gesagt, doch was steckt dahinter?

Die Aufbau- und Verbindungstechnik ist als wichtige Querschnittstechnologie zwischen Bauelementehersteller und der Montage bestückter Baugruppen angesiedelt. Unter Gesichtspunkten von Time to Market gesehen werden beim Design

- die Machbarkeit, Wirtschaftlichkeit und Fertigbarkeit
- die Beschaffbarkeit
- die Prüfbarkeit
- die Funktion und Qualität

berücksichtigt.



### ***Zusammenführen vieler rechtzeitig fließender Informationen und Kosten minimieren***

Leiterplattendesigner müssen in der Lage sein, mit Hilfe ihres Werkzeuges EDA-Einrichtungen und im ständigen Dialog mit Entwicklern und Fertigungsstellen all die folgenden Punkte zu einem fertigungsgerechten und funktionierenden Ergebnis zusammenführen zu können:

- Produktklassifizierung
- mechanische Gegebenheiten
- Einsatzumgebung
- Designrichtlinien
- Qualitätsrichtlinien
- EMV-Problematik
- thermische Gegebenheiten
- Bauteilekonfigurationen
- Leiterplattenmaterial
- Fertigungstechnologie
- Löt- und Bestückungstechnologie
- Testtechnologien
- Kosten- und Zeitfaktoren
- Reparaturmöglichkeiten
- Entsorgung und Umweltschutz
- und nicht zuletzt auch die Funktion.

All diese Punkte müssen schon von der Planungsphase ab berücksichtigt werden und haben Einflüsse auf die Strategie und Ausführung der Schaltung. Nach den Entwicklungsphasen gehen die Daten für Leiterplattenherstellung und Baugruppenfertigung direkt aus den EDA-Systemen in die Systeme der Fertigungsstellen. Dies setzt das Wissen über Fertigungstechnologien der LP-Designer voraus. Dazu ist es notwendig, sie frühzeitig zu informieren und in den Produktkreatiionsprozess (PKP) mit einzubinden. LP-Designer werden dabei immer mehr zur Brücke zwischen Entwicklung und

Fertigung. Mit ihrer Arbeit entscheiden sie über wesentliche Kosten- und Qualitätsfaktoren der späteren Produktion.

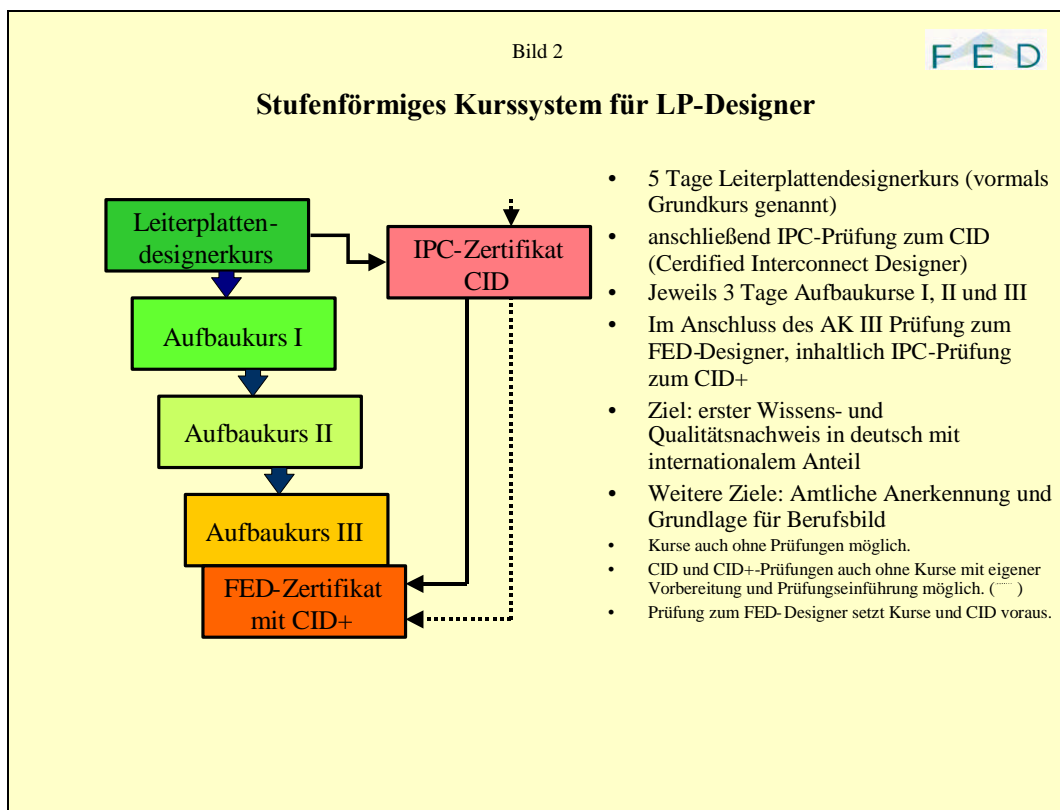
Bei angestrebten Kostenverringerungen muss zukünftig mehr Aufmerksamkeit auf die frühen Definitions- und Planungsphasen gerichtet werden. Dort werden die für Designstrategie und Designanfertigung benötigten Vorgaben wie Fertigungsqualität, Einflüsse von Steuerungen der Prozessparameter, Wartbarkeit und Testbarkeit auf Systemebene mit entschieden. Fehlende Informationen und Absprachen führen zu Missverständnissen und heute noch zur ca. der Hälfte aller Redesigns, die nicht aus gewollten technologischen Veränderungen resultieren. Sie sind bekanntlich sehr kostenintensiv und führen zu erheblichen Zeitverlusten.

### **Das Aus- und Weiterbildungskonzept**

Es wird immer wichtiger, die Entwicklungsverläufe effizienter zu gestalten, auf technische Veränderungen möglichst schnell zu reagieren, organisatorische Gegebenheiten diesen anzupassen. Um für die mitten in der Elektronik stehenden LP-Designer die notwendige Aus- und Weiterbildung zu ermöglichen, um einem Berufsbild näher zu kommen und damit die Stellung zu verbessern, und um Wissens- und Qualitätsnachweise zu erreichen, startete der FED im März 1999 mit seinem stufenförmigen Kurssystem.

Es begann mit dem Einwochenkurs, dem Grundkurs, heute Leiterplattendesignerkurs genannt. Im Jahre 2000 kamen zur Fortsetzung die dreitägigen Aufbaukurse I und II hinzu. Seit April 2001 werden die deutschsprachigen Prüfungen zum CID (Certified Interconnect Designer) des IPC durchgeführt, womit die erste Etappe der Wissens- und Qualitätsnachweise für Leiterplattendesigner erreicht war.

Seit September 2002 ist mit dem Aufbaukurs III und der anhängenden Prüfung zum Zertifikat des FED-Designers, das die Prüfung zum CID+ (Advanced Certified Interconnect Designer) des IPC mit beinhaltet, die Palette vollständig. Seitdem gibt es auch die ersten zertifizierten FED-Designer, die gleichzeitig auch CID+ sind. Sie haben die erforderliche Anzahl der insgesamt 222 Fragen richtig beantwortet und sind somit im Besitz des ersten deutschen Wissens- und Qualitätsnachweises mit internationalem Anteil für LP-Designer.



## **Die Kursinhalte**

Das Kurssystem will Grundkenntnisse aus der Sicht moderner integrierter Arbeitsabläufe zwischen den Prozessstufen in den Unternehmen vermitteln und die Erweiterung sowie Fortentwicklung dieser Kenntnisse. Grundlagen der Kurse bilden neben dem eigens dafür erarbeiteten Material die FED-Designrichtlinie FED-22-02, die einschlägigen IPC-Richtlinien wie z. B. die IPC2220-Serie, die IPC-SM-782, IPC-A-610, die DIN-EN- und IEC-Normen, sowie die ins Deutsche übersetzten Study Guides I und II des IPC.

Die Blöcke

- Einbindung und Rolle der Designer im Produktkreatiionsprozess
- Fertigungstechnologie, wichtige Themen für Planung und Ausführung einer Leiterplatten-Entwicklung
- Designregeln für die konkrete Layouterstellung
- Zusammenführung der Designgrundlagen aus Fertigungstechnologie
- Schaltungsentwicklung und Konstruktion
- Designstrategie
- Form der Dokumente und Fertigungsunterlagen

sind Bestandteile des Leiterplattendesignerkurses.

Im Anschluss an diesen kann die Prüfung zum CID (Certified Interconnect Designer) abgelegt werden. Den zertifizierten Designern wird das Recht zuerkannt, offiziell ihrem Namen die Beifügung "CID" (Certified Interconnect Designer) hinzuzufügen und so auf ihren internationalen Qualifikationsnachweis aufmerksam zu machen.

Die Blöcke

- EDA-Software im Elektronik-Design
- Bauteilebibliothek
- Einbindung der Bibliothek, Dokumente
- Design von flexiblen, starrflexiblen und höher integrierten Leiterplatten
- Technik für flexible und hochkomplexe Mehrlagenleiterplatten
- CAM-Bearbeitung

bilden den Inhalt der Aufbaukurse I und II.

Im Aufbaukurs III schließlich werden vor den Prüfungen die Blöcke

- Betrachtungen zum Design
- Leiterplatteigenschaften
- Bauelemente- und Bestückungseinflüsse
- Layout-Prinzipien

behandelt.

Im Anschluss geht es in die Prüfungen zur Erreichung der Zertifikate zum CID+ und FED-Designer.

## **Der Wissens- und Qualitätsnachweis**

Mit dem Zertifikat CID+ wird die nächst höhere Stufe des IPC-Prüfungskonzeptes erreicht, mit dem nach dem CID ein höherer internationaler Wissens- und Qualitätsnachweis erworben wird. Mit dem Erwerb des Zertifikates FED-Designer ist der Nachweis eines bestimmten beruflichen Wissens

verbunden, der in dem Kurssystem des FED vermittelt wird und in dem die beiden internationalen CID-Prüfungen integriert sind. Damit wird zum ersten Mal im deutschsprachigen Raum ein beruflicher Wissens- und Qualitätsnachweis für Leiterplattendesigner realisiert, der zur amtlichen Anerkennung geführt werden soll. Dies bildet auch die Grundlage für das vom FED angestrebte Berufsbild.



### **Die Leiterplattendesigner werden bedeutsamer**

Die permanente Konfrontation mit höheren elektrischen Anforderungen, höheren Packungsdichten bei gleichzeitigem Zeit und Kostendruck wird sich fortsetzen. Immer mehr Funktionen werden auf einem Chip integriert, dabei nimmt die Zahl der für die Kommunikation nach außen notwendigen Anschlüsse auf kleinstem Raum ständig zu. Parallel werden konventionelle Bauteile weiter minimiert. In diesem sich stetig verändernden Umfeld müssen die Designer während des Produktkreationsprozesses möglichst optimale, funktionelle und kostengünstige Designs generieren. Dazu müssen sie auf dem laufenden aktuellen Stand der Technik sein. Durch ihre Arbeit werden immer mehr Kosten und Qualität der Produktion bestimmt. Deshalb müssen sie noch mehr als bisher in den Gesamtprozess mit eingebunden werden.

Die LP-Designer von morgen müssen CAD-, CAM- und CAE-Kenntnisse besitzen und auch deren gegenseitige Beeinflussung im gesamten Entstehungsprozess kennen. Das Berufsbild des LP-Designers und des System-Designers werden entstehen. Team-, Konflikt- und Kommunikationsfähigkeit werden für die Designer als Schnittstelle, oder besser in ihrer Brückenfunktion noch wichtiger. Ihre Stellung und ihre Anerkennung muss verbessert, ihre Kompetenz, ihre Aus- und Weiterbildung muss vorangetrieben werden.

**FED**  
**Termine im Jahre 2007**  
**in der Verwaltungsschule Neustadt/A.**  
*Plan geändert 22.10.06 =(1)*

	<b>LP- Designer- kurs, a) 5 Tage</b>	<b>Aufbaukurs I, 3 Tage</b>	<b>Aufbaukurs II, 3 Tage</b>	<b>Aufbaukurs III b) 3 Tage</b>
<b>AK I 28</b>		<b>29.-31.1.</b>		
<b>LDK 52</b>	<b>12.-16.2.</b>			
<b>AK II 26</b>			<b>21.-23.2. (1)</b>	
<b>CAD-Pr.</b>				
<b>LDK 53</b>	<b>19.-23.3.</b>			
<b>AK III 15</b>				<b>16.-18.4</b>
<b>HS-Aufb</b>				
<b>LDK 54</b>	<b>7.-11.5.</b>			
<b>AK I 29</b>		<b>14.-16.5.</b>		
<b>CAD-Pr.</b>				
<b>AK II 27</b>			<b>4.-6.6.</b>	
<b>LDK 55</b>	<b>2.-6.7.</b>			
<b>AK III 16</b>				<b>30.7.-1.8.</b>
<b>LDK 56</b>	<b>3.-7.9.</b>			
<b>AK I 30</b>		<b>10.-12. 9.</b>		
<b>HS-Aufb.</b>				
<b>LDK 57</b>	<b>15.-19.10.</b>			
<b>CAD-Pr.</b>				
<b>AK II 28</b>			<b>29.-31.10.</b>	
<b>AK I 31</b>		<b>19.-21.11.</b>		
<b>LDK 58</b>	<b>26.-30.11.</b>			
<b>AK II 29</b>			<b>3.-5.12.</b>	
<b>HS-Aufb.</b>				
<b>AK III 17</b>				<b>17.-19.12.g)</b>

!

***Dazu im Stoops in der Schweiz und Gars a. Kamp in Österreich:***

<b>AK III 15A</b>		<b>18.-20.6.</b>		<b>In Stoops</b>
<b>AK I 28A (1)</b>		<b>26.-28.3.</b>		<b>In Gars</b>
<b>LDK 55A</b>		<b>16.-20.7.</b>		<b>In Gars</b>

Weiter Information zum Designerschulungskonzept des FED, Anmeldemöglichkeiten etc. sind unter [www.fed.de](http://www.fed.de), Rubrik FED-Schulungskonzept, zu finden.

Gerne gebe auch ich Auskunft

Gerhard Gröner, CID+  
 CID-Masterinstructor  
 Beratung für Elektronik Design  
 Mitglied im FED-Vorstand  
 Unterer Stadtmauerweg 3 \* D 91413 Neustadt/A.  
 Tel: 09161-875541 \* Fax: 09161-875542 \* Mobil: 0171-5840442 \*  
 Email: G.Groener.nea@t-online.de